

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-211672

(43)Date of publication of application : 22.08.1990

(51)Int.Cl.

H01L 29/784

G02F 1/136

G09F 9/30

(21)Application number : 01-032333

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.02.1989

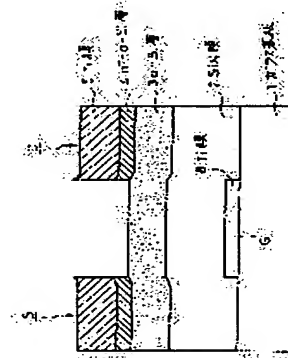
(72)Inventor : SOEDA SHINICHI
NASU YASUHIRO
ENDO TETSURO

(54) THIN-FILM TRANSISTOR

(57)Abstract:

PURPOSE: To prevent the generation of a crack in a gate insulating film without having an adverse effect on insulating properties by forming laminated films including the gate insulating film by combining a film, internal stress of which displays tensile stress, and a film, internal stress of which displays compressive stress.

CONSTITUTION: A Ti film 8 is shaped onto a glass substrate 1 as a gate electrode G, an SiN film 2 as a gate insulating film and an a-Si layer 3 as an operation semiconductor layer are laminated onto the Ti film 8 in the order, and an n⁺ a-Si layer 4 as a contact layer and a Ti film 5 as a metallic film are laminated in source-drain electrode S, D sections. The Ti films used as the gate electrode G and the metallic film of the source-drain electrodes S, D are formed so as to display tensile stress and other films shaped through a plasma chemical vapor growth method so as to display compressive stress. Accordingly, internal stress in each section of a TFT is brought to a value close to zero, thus preventing the generation of cracks in the gate insulating film 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平2-211672

⑬ Int. Cl.³ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)8月22日

H 01 L 29/784
G 02 F 1/136
G 09 F 9/30

5 0 0
3 3 8

7370-2H
8422-5C
8624-5F

H 01 L 29/78 3 1 1 G
審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 平1-32333

⑰ 出 願 平1(1989)2月10日

⑱ 発 明 者 添 田 信 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 那 須 安 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 遠 藤 鉄 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

絶縁性基板上に内部応力の大きさが異なる複数
の膜 (F₁) を積層して形成した薄膜トランジスタ
であって、

前記各膜 (F₁) の内部応力 (σ_1) と膜厚 (d_1) との積の和を略等と設定し、膜全体の見かけ上の応力を零にしたことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔概 要〕

液晶表示装置等の表示セル駆動に用いる薄膜トランジスタに関し、

ゲート絶縁膜のクラック発生を防止することを目的とし、

絶縁性基板上に内部応力の大きさが異なる複数

の膜を積層して形成した薄膜トランジスタであって、前記各膜の内部応力と膜厚との積の和を略等と設定し、膜全体の見かけ上の応力を零にした構成とする。

〔産業上の利用分野〕

本発明は液晶表示装置等の表示セル駆動に用いる薄膜トランジスタに関する。

薄膜トランジスタを使用した液晶等のアクティブマトリクス型表示装置は、薄膜トランジスタがスイッチング素子として働くため、各画素の電圧を正確に制御することができ、大画面、階調表示に適した表示装置である。そこで昨今では、ポケットTVの表示装置として既に商品化されているを始め、OA端末機器の表示装置を目標として盛んに開発が行われている。

〔従来の技術〕

OA端末機器の表示装置などのように、画面サイズの大きい表示装置を実現するためには、図素

特開平 2-211672(2)

致に応じて多数のトランジスタを短欠間で形成することが必要で、これは必ずしも容易ではない。

例えば、薄膜トランジスタの不良原因には、第4図に示すようなゲート絶縁膜2に生じたクラック7が挙げられる。このクラック7は、ガラス基板1のような絶縁性基板とゲート絶縁膜2との間で、熱膨張係数が異なるために生じるものであって、具体的にはゲート絶縁膜2の成膜工程で加熱され、膜形成後冷却された時、熱膨張係数の差によりゲート絶縁膜2に内部応力、即ち、熱応力と材料固有の直性応力が発生する。ゲート絶縁膜2の熱膨張係数がガラス基板1より大きいとき、ゲート絶縁膜2内に圧縮応力が、小さいときは引張応力が生じ、この応力がある層を越すとゲート絶縁膜2にクラック7が発生する。

このクラック7はゲート絶縁膜2からその上層の動作半導体層3にまで進行し、ソース・ドレイン電極5、Dとゲート電極G間を短絡する。なお、同図の4はn⁺-a-Si層のようなコンタクト層であり、BはTi、Cr、Al膜のような金属膜

である。

〔発明が解決しようとする課題〕

そこでクラックの発生を防止するため、製造方法を種々検討して、内部応力の小さいゲート絶縁膜を形成することが試みられている。

しかし製造方法の改良により、ゲート絶縁膜の内部応力を低くすることはできても、良好な絶縁性が得られないなどの問題があり、低応力で且つ絶縁性の良好な膜が得られる成膜条件を見つめるのは難しかった。

本発明は上記問題を解決して、絶縁性に悪影響を及ぼすことなく、ゲート絶縁膜のクラック発生を防止する薄膜トランジスタマトリクスを提供を目的とする。

〔課題を解決するための手段〕

薄膜トランジスタは前述したように、絶縁性基板1上に、ゲート電極やゲート絶縁膜等、複数の膜を積層して形成する。

- 3 -

- 4 -

これらの膜を第1図に示すように、絶縁性基板1側から第1、第2、第3、・・・、第nの膜P_i（但しi=1、2、・・・、n）とする。本発明では、これら各膜P_iの内部応力σ_iと厚さd_iの積の和が、各部位において略等となるよう構成した。

〔作用〕

上述したようにゲート絶縁膜を含む積層膜を、内部応力が引張応力を示す膜と圧縮応力を示す膜とを組合せると、引張応力と圧縮応力とでは力の作用する方向が反対となるので、各膜P_iの内部応力が相殺し合い、ゲート絶縁膜を含む積層膜全体の合成された内部応力は小さくなる。

即ち、ゲート絶縁膜を含む積層膜全体の応力σは、各膜P_iの内部応力をσ_i、厚さをd_iとすると、下記①式によって表される。

$$\sigma = \frac{\sum_{i=1}^n (\sigma_i d_i)}{\sum_{i=1}^n d_i} \quad \text{-----①}$$

従って、σ_iとd_iとの組み合わせを適宜に選

び、各部位（各トランジスタマトリクス構成膜）においてσ_i・d_iの和を略等とすれば、ゲート絶縁膜を含む積層膜全体の内部応力σを、どの部位においても見掛け上は略とすることができる。

〔実施例〕

第2図は本発明の一実施例の薄膜トランジスタの構成を示している。前記第4図と同一部分は同一符号を付して示してある。

本実施例では以下詳述するように、どの部位においても、上記①式を満足するように各膜の材質と膜厚を選択した。

同図に見られるように本実施例は、ガラス基板1上にゲート電極GとしてTi膜8を形成し、その上にゲート絶縁膜としてSiN膜2、動作半導体層としてn⁺-a-Si層3をこの順に順層し、ソース・ドレイン電極5、D部は、コンタクト層としてのn⁺-a-Si層4と金属膜としてのTi膜5を積層した。即ち、Ti膜8が第1の膜、SiN膜2が第2の膜、n⁺-a-Si層3が第3の膜、n⁺-

- 5 -

- 6 -

特開平 2-211672(3)

α-Si 膜 4 が第 4 の膜、Ti 膜 5 が第 5 の膜に相当する。

本実施例ではゲート電極 G とソース・ドレイン電極 S、D の金属膜に用いた Ti 膜が引張（テンシル）応力を示し、プラズマ化学気相成長（PCVD）法で形成した他の膜は、成膜条件によって応力値は異なるが、すべて圧縮（コンプレッシブ）応力を示すように形成した。各膜の応力と厚さを下記第 1 表に示す。

第 1 表

膜	σ (dyn/cm ²)	厚さ d (Å)
Ti 膜 8	4×10^9	800
SiN 膜 2	-1×10^9	3000
α-Si 膜 3	-1×10^9	800
α-Si 膜 4	-2×10^9	400
Ti 膜 5	4×10^9	1450

なお、上表の応力 σ は、符号が+の場合は引張応力、-の場合は圧縮応力であることを示す。

このように σ と d を組み合わせることにより、ゲート電極部の内部応力 σ は、前述の①式から、

$$\begin{aligned} \Sigma \sigma_i d_i / \Sigma d_i \\ &= \frac{(4 \times 800 - 1 \times 3000 - 1 \times 300) \times 10^9}{(800 + 3000 + 300)} \\ &= -109 \times 10^9 / 4100 \\ &\approx -2 \times 10^9 \text{ (dyn/cm}^2\text{)} \end{aligned}$$

となり、きわめて小さくなる。

また、ソース・ドレイン電極部において、内部応力 σ は同じく①式から、

$$\begin{aligned} &= \frac{(-1 \times 3000 - 1 \times 300 - 2 \times 400 + 4 \times 1450) \times 10^9}{(3000 + 300 + 400 + 1450)} \\ &= 1709 \times 10^9 / 5150 \\ &\approx 3 \times 10^9 \text{ (dyn/cm}^2\text{)} \end{aligned}$$

となり、これまたきわめて小さくなる。

このように本実施例では、TPT の各部位における内部応力を零に近い値とすることができ、ゲート絶縁膜 2 にはクラックの発生は見られなかった。

第 3 図は上記一実施例の構成に、更に保護膜として SiN 膜 6 を形成した状態図であって、各膜の厚さ d_i と応力 σ_i を下記の第 2 表の如く選択

- 7 -

- 8 -

した。

第 2 表

膜	σ (dyn/cm ²)	厚さ d (Å)
Ti 膜 8	4×10^9	800
SiN 膜 2	-1×10^9	3000
α-Si 膜 3	-1×10^9	3000
α-Si 膜 4	-2×10^9	400
Ti 膜 5	4×10^9	3000
SiN 膜 6	2.1×10^9	3000

上記構成で、Ti 膜 8 ~ SiN 膜 6 がそれぞれ第 1 の膜 ~ 第 6 の膜に相当する。

このように構成した変形実施例においても、ゲート電極部およびソース・ドレイン電極部ともに、各膜の応力が相殺し合って全体の内部応力 σ はきわめて小さな値となり、ゲート絶縁膜 2 や動作半導体層 3 のクラックは発生しない。

以上の如く 2 つの実施例はいずれも、ガラス基板 1 上の薄膜膜が、どの部分においても全体の応力 σ は零に近くなり、従ってクラックは発生せず、薄膜トランジスタの特性劣化がなく、信頼度並びに製造歩留りを向上させることができる。

なお、本発明は上記実施例に限定されるもので

はなく、例えば、各膜の合計厚さや、使用する各膜 P、のそれぞれの材質及び厚さ、或いは積層数等は、種々選択し得るものである。

例えば、ゲート絶縁膜 2 の材質として、上記 SiN および SiO₂ 以外に、TiO₂ 等を用いることもできる。

また、上記各膜 P、全体の見掛け上の応力 σ は、絶対値が 10⁹ のオーダー以下であれば、十分にクラックの発生を抑制できる。

【発明の効果】

以上説明した如く、本発明によれば、薄膜トランジスタを構成する積層膜のそれぞれの見かけ上の応力がきわめて小さくなるので、ゲート絶縁膜にクラックが発生せず、薄膜トランジスタ特性の劣化を防止でき、信頼性および製造歩留りが向上する。

4. 図面の簡単な説明

第 1 図は本発明の構成説明図、

- 9 -

- 10 -

-475-

特開平 2-211672(4)

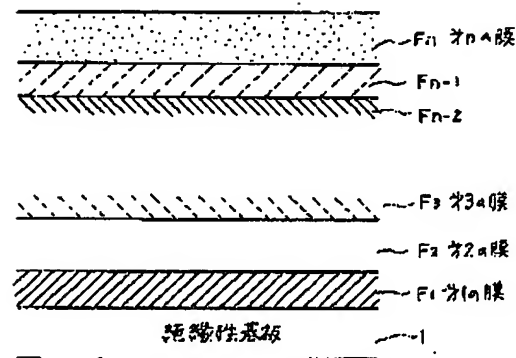
第2図は本発明の一実施例構成説明図、

第3図は本発明の變形例説明図、

第4図は従来の薄膜トランジスタの問題点説明図、

図において、1は絶縁性基板（ガラス基板）、
 2はゲート絶縁膜、3は動作半導体層（ n -Si層）、
 4はコンタクト層（ n - n -Si層）、
 5は金属膜（Ti膜）、Gはゲート電極、F₁第1～第n（ $l=1, 2, 3, \dots, n$ ）の膜、
 S、Dはソース・ドレイン電極を示す。

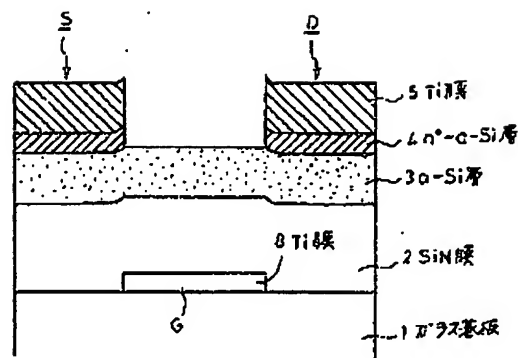
代理人 弁理士 井 形 貞 一



本発明の構成説明図

第1図

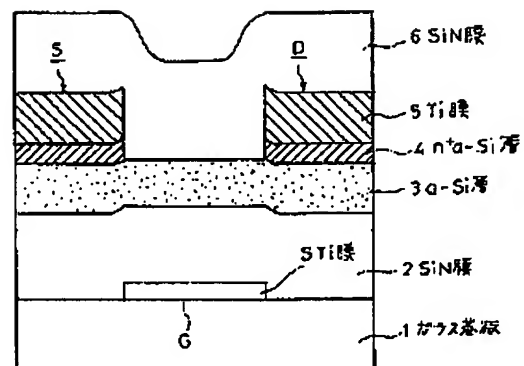
- 11 -



本発明-実施例構成説明図

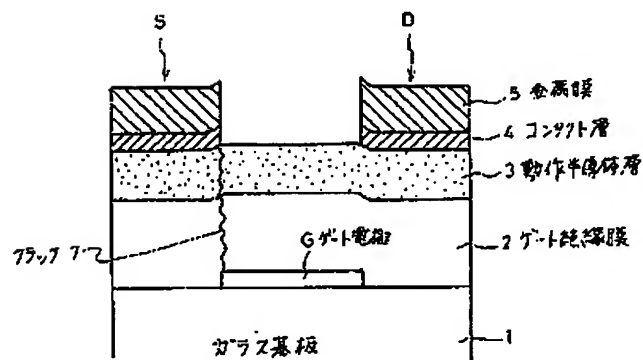
第2図

特開平 2-211672(5)



本発明の変形例構成説明図

第 3 図



薄膜トランジスタの問題点説明図

第 4 図